

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-039832

(43)Date of publication of application : 05.02.2004

(51)Int.Cl.

H01L 31/10
H01L 27/146
H04N 5/335

(21)Application number : 2002-194251

(71)Applicant : SONY CORP

(22)Date of filing : 03.07.2002

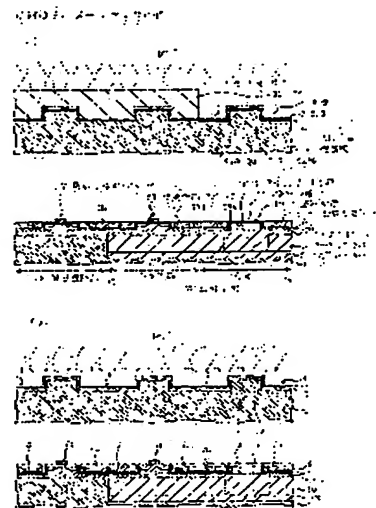
(72)Inventor : TAKAGI YOSHIKO

(54) PHOTOELECTRIC CONVERTER AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a photoelectric converter having an element isolating structure for isolating photodiodes from each other which hardly causes the deterioration of the sensitivity of a photodiode and does not have an adverse influence on peripheral semiconductor elements, and to provide its manufacturing method.

SOLUTION: The element isolating structure for isolating the photodiodes from each other, such as an STI structure 7b, is formed by a method not using the thermal oxidation of a substrate, and a second conductive type channel stopper layer 6 is formed so as to have contact with and surround the element isolating structure 7b in the first conductive type semiconductor substrate 1. Then, a first conductive type semiconductor layer 18 is formed as a signal charge storage region of the photodiode, and the layer 18 is surrounded by second conductive type wells 8, 10 and 11 so as to be isolated from other regions of the substrate 1. The channel stopper layer 6 is terminated at a specified position around a light receiving region between the receiving region and a semiconductor circuit element 41.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-39832

(P2004-39832A)

(43) 公開日 平成16年2月5日 (2004.2.5)

(51) Int. Cl. ⁷

H01L 31/10

H01L 27/146

H04N 5/335

F I

H01L 31/10

H04N 5/335

H04N 5/335

H01L 27/14

テーマコード (参考)

4M118

5C024

5F049

審査請求 未請求 請求項の数 16 O L (全 19 頁)

(21) 出願番号

特願2002-194251 (P2002-194251)

(22) 出願日

平成14年7月3日 (2002.7.3)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(74) 代理人 100076059

弁理士 逢坂 宏

(72) 発明者 高木 賀子

東京都品川区北品川 6 丁目 7 番 35 号 ソ
ニー株式会社内

F ターム (参考) 4M118 AB01 BA14 CA02 CA03 CA32

EA03 EA07 EA14 FA26 FA27

FA28

5C024 CX41 CY47 GX03 GY31

5F049 MA02 MB02 NA17 NA19 NB03

PA10 PA11 RA03 RA08 SS03

UA01 UA14 UA20

(54) 【発明の名称】 光電変換装置及びその製造方法

(57) 【要約】

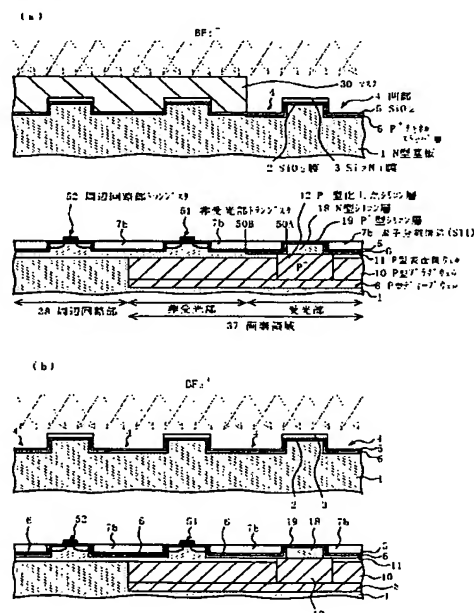
【課題】 フォトダイオード間を素子分離する素子分離構造の形成が、フォトダイオードの感度の低下につながりやすく、且つ周囲の半導体素子に悪影響を及ぼさない構造をもつ光電変換装置及びその製造方法を提供すること。

【解決手段】 フォトダイオード間を素子分離する素子分離構造、例えば S T I 構造 7 b を基板の熱酸化によらない方法で形成し、素子分離構造 7 b に接してこれを取り囲む第 1 導電型の半導体基板 1 中に第 2 導電型のチャネルストップ層 6 を形成する。さらに、フォトダイオードの信号電荷蓄積領域として第 1 導電型の半導体層 18 を形成し、この周囲を第 2 導電型のウェル 8、10、11 で取り囲み、基板 1 の他の領域から分離する。このとき、チャネルストップ層 6 は、受光領域の周囲であって、半導体回路素子 4 1 との間である位置にて終焉させる。

【選択図】

図 1

CMOS イメージセンサの例



【特許請求の範囲】

【請求項1】

第1導電型の半導体基体上の各受光領域に形成されたフォトダイオードと、前記半導体基体上の前記受光領域外の領域に形成された半導体回路素子とを有し、
前記半導体基体上に形成され、前記フォトダイオード及び前記半導体回路素子の間を素子分離するために形成された凹部内に絶縁膜が埋め込まれてなる素

子分離構造と、

前記フォトダイオードを素子分離する前記素子分離構造に接して、これを取り囲むように前記半導体基体中に形成された第2導電型のチャンネルストップ層

と、

前記受光領域の表面側に形成された、前記フォトダイオードを構成する第1

導電型の半導体層と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように形成された第2導電型の第1のウェルと、

前記受光領域の底部に形成された第2導電型の第2のウェルと、

前記第1及び第2のウェルを接続する第2導電型の第3のウェルと

を有する光電変換装置であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置にて前記チャネ

ルストップ層が終焉している

光電変換装置。

【請求項2】

前記素子分離構造が、少なくとも前記受光領域の周囲に設けられている、請求項1に記載した光電変換装置。

【請求項3】

前記素子分離構造が、前記受光領域の前記フォトダイオードとこの周囲の非受光部の前記半導体回路素子との間、及び／又は、前記非受光部の前記半導体回路素子と周辺回路部の前記半導体回路素子との間にも設けられている、請求項2に記載した光電変換装置。

【請求項4】

前記非受光部の前記半導体回路素子及び／又は前記周辺回路部の前記半導体回路素子の形成領域にも前記第1のウェルが形成され、前記半導体回路素子周囲の前記素子分離構造に接して、これらを取り囲む前記第1のウェル中にも、前記チャンネルストップ層よりも低濃度にチャンネルストップ層が形成されている、請求項3に記載した光電変換装置。

【請求項5】

前記素子分離構造がSTI (Shallow Trench Isolation) 構造である、請求項1に記載した光電変換装置。

【請求項6】

前記光電変換装置が固体撮像装置である、請求項1に記載した光電変換装置。

【請求項7】

第1導電型の半導体基体上の各受光領域にフォトダイオードを形成し、前記半導体基体上の前記受光領域外の領域に半導体回路素子を形成する光電変換装置の製造方法であって、前記半導体基体上に、前記フォトダイオード及び前記半導体回路素子の間を素子分離するための凹部を形成し、この凹部内に絶縁膜を埋め込んで素子分離構造を形成する工程と、

前記フォトダイオードを素子分離する前記素子分離構造に接してこれを取り囲むように、前記半導体基体中に第2導電型のチャンネルストップ層を形成する工程と、

前記受光領域の表面側に、前記フォトダイオードを構成する第1導電型の半導体層を形成する工程と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように、第2導電型の第1のウェルを形成する工

10

20

30

40

50

程と、

前記受光領域の底部に第2導電型の第2のウェルを形成する工程と

前記第1及び第2のウェルを接続する第2導電型の第3のウェルを形成する工程と

を有する光電変換装置の製造方法であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置で終焉させるように前記チャネルストップ層を形成する

光電変換装置の製造方法。

【請求項8】

前記素子分離構造を、少なくとも前記受光領域の周囲に設ける、請求項7に記載した光電変換装置。

【請求項9】

前記素子分離構造を、前記受光領域の前記フォトダイオードとこの周囲の非受光部の前記半導体回路素子との間、及び／又は前記非受光部の前記半導体回路素子と周辺回路部の前記半導体回路素子との間にも設ける、請求項8に記載した光電変換装置。

【請求項10】

前記非受光部の前記半導体回路素子及び／又は前記周辺回路部の前記半導体回路素子の形成領域にも前記第1のウェルを形成し、前記半導体回路素子周囲の前記素子分離構造に接して、これらを取り囲む前記第1のウェル中にも、前記チャネルストップ層よりも低濃度にチャネルストップ層を形成する、請求項9に記載した光電変換装置の製造方法。

【請求項11】

前記素子分離構造がSTI(Shallow Trench Isolation)構造である、請求項7に記載した光電変換装置の製造方法。

【請求項12】

前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部の周囲において前記フォトダイオード部以外をマスクしながら、フォトダイオード部の前記凹部の壁面からイオン注入することによって前記チャネルストップ層を形成する、請求項7に記載した光電変換装置の製造方法。

【請求項13】

前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部と前記非受光部の半導体回路素子部及び／又は前記周辺回路部の半導体回路素子部とをマスクしながら前記凹部の壁面からイオン注入することによって、前記半導体回路素子部の前記チャネルストップ層を形成する、請求項10に記載した光電変換装置の製造方法。

【請求項14】

前記凹部を形成した後、前記凹部に気相成長法によって素子分離用の絶縁材料を埋め込む、請求項7に記載した光電変換装置の製造方法。

【請求項15】

前記第1、第2及び第3のウェルをイオン注入によって形成する、請求項7に記載した光電変換装置の製造方法。

【請求項16】

固体撮像装置を製造する、請求項7に記載した光電変換装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトダイオードが各受光領域にそれぞれ形成されている光電変換装置及びその製造方法に関するものである。

【0002】

【従来の技術】

近年、デジタルカメラやインターネットの急速な普及により、光学的な画像情報を電気信

10

20

30

40

50

号に変換し、デジタルデータとして取り込み、加工し、利用する機会が増えている。このため、固体撮像装置等の光電変換装置に対しても、小型化、低コスト化、高精細度・高感度・広ダイナミックレンジ等の高性能化の要求が高まり、今後ますますフォトダイオード等の固体撮像素子の微細化、高集積度化が進むと予想される。

【0003】

図9は、従来のイメージセンサ等のフォトダイオード(PD; Photo Diode)を中心とした主要部の概略断面図(a)及び概略平面図(b)の一例である。基板表面には、フォトダイオード間を素子分離するために、各フォトダイオードの受光領域114を電氣的に絶縁するLOCOS(Local Oxidation of Silicon)構造の素子分離構造107が形成されている。

10

【0004】

図9の例では、基板にN型シリコン基板101が用いられ、基板表面部に形成されたN型シリコン層118と、その下部のP⁻型化したシリコン層112との界面でのPN接合により、フォトダイオードが形成されている。以下、素子分離構造107で囲まれた部分を受光領域114と呼び、そのうちPN接合が形成されている部分をセンサ開口部115と呼んで、両者を区別することにする。

【0005】

センサ開口部115に入射した光は、PN接合部に達するとそこで正孔と電子に変換され、入射光の光量に応じた信号電荷(電子)がN型シリコン層118、更にはN型層がP⁻型化したシリコン層112に蓄積される。なお、最表面のP⁺型シリコン層119は表面からの電荷の漏洩を防止するためのものである。

20

【0006】

N型シリコン層118等からなる上記の信号電荷蓄積領域は、素子分離構造107の下部とその周囲に形成されたP型表面側ウェル111、基板の深い位置に形成されたP型ディープウェル108、及びP型表面側ウェル111とP型ディープウェル108とを電氣的に接続するように素子分離構造107の下方に上下方向に長く形成されたP型プラグ(P Plug)ウェル110によって、側面と底面とから取り囲まれている。これによって、信号電荷蓄積領域は、基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩する事が無い。

【0007】

次に、図9のフォトダイオードの製造方法について要点を説明する。

30

【0008】

まず、N型シリコン基板101の受光領域114の周囲に、基板101の熱酸化によって、LOCOS構造の素子分離構造107を形成する。

【0009】

次に、B⁺のイオン注入と加熱による熱拡散・アニール処理を行い、基板の深い位置にP型ディープウェル108、素子分離構造107の下方にP型プラグウェル110、素子分離構造107の下部とその周囲にP型表面側ウェル111を形成する。P型表面側ウェル111は、後述する理由で、LOCOS構造の素子分離構造107の端部を0.1 μ mほどの幅をもって被覆する(受光領域114側にはみ出す)ように形成される。この時、周囲のP型領域からの熱拡散により、N型シリコン層118の下部に位置するN型層がP⁻型化し、P型ウェルに囲まれたP⁻型化シリコン層112が形成される。

40

【0010】

次に、センサ開口部115にAs⁺のイオン注入と加熱アニール処理を行い、N型シリコン層118を形成する。これにより、P⁻型化したシリコン層112とN型シリコン層118との界面にPN接合(フォトダイオード)が形成される。最後に、センサ開口部115にBF₂⁺のイオン注入と加熱アニール処理を行い、最表面のP⁺型シリコン層119を形成する。

【0011】

【発明に至る経過】

50

微細化、高集積度化という立場からみた図9のフォトダイオードの問題点は、L O C O S構造の素子分離構造107の末端から受光領域114側に0.1 μ mほどの幅で作られたP型表面側ウェル111のはみ出し部分116の存在にある(図9(b))。

【0012】

素子分離構造107を基板の熱酸化によって形成すると、バーズピーク(bird's beak)により周囲に歪みの大きい境界領域120が形成される。このような境界領域120では、結晶の格子欠陥や界面準位に起因する電荷の漏洩が起こりやすい。この電荷の漏洩を防止するために、図9のフォトダイオードでは、境界領域120を包み込むようにP型表面側ウェル111を受光領域114側にはみ出させて形成し、境界領域120を信号電荷蓄積領域118から隔離している。

10

【0013】

このようなはみ出し部分116があると、その分だけセンサ開口部115は受光領域114より小さくなるから、単位画素中に占めるセンサ開口部115の面積割合であるセンサ開口率が小さくなり、フォトダイオードの感度が低下する原因になる。はみ出し部分116によるセンサ開口率の低下は、高精細度化によって単位画素の面積が小さくなるほど相対的に大きくなり、フォトダイオードを微細化する上での大きな障害になる。

【0014】

上記のような問題点を解決する方法として、本発明者は、フォトダイオード間を素子分離する素子分離構造の形成が、フォトダイオードの感度の低下につながりにくい構造をもつ光電変換装置及びその製造方法を提案した(特願2002-118746号)。

20

【0015】

即ち、特願2002-118746号に係る発明(以下、先願発明と称する)は、フォトダイオードが各受光領域にそれぞれ形成されている光電変換装置であって、

第1導電型の半導体基体と、

半導体基体上に形成され、フォトダイオード間を素子分離するために形成された凹部内に絶縁膜が埋め込まれてなる素子分離構造と、

素子分離構造に接してこれを取り囲むように半導体基体中に形成された第2導電型のチャネルストッパ層と、

受光領域の表面に形成された、フォトダイオードを構成する第1導電型の半導体層と、

30

第1導電型の半導体層に接してその下部に形成された第2導電型の半導体層と、

受光領域側の素子分離構造の端部に対し、受光領域の外方位置にて受光領域を取り囲むように形成された第2導電型の第1のウェルと、

受光領域の底部に形成された第2導電型の第2のウェルと

を有する光電変換装置及びその製造方法に係わるものである。

【0016】

図2は、先願発明の好ましい実施の形態であるCMOS(Complementary Metal Oxide Semiconductor)イメージセンサ等のフォトダイオード部の概略断面図(a)と概略平面図(b)である。基板の表面には、フォトダイオード間を素子分離するために、各フォトダイオードの受光領域14を電氣的に絶縁するSTI(Shallow Trench Isolation)構造の素子分離構造7bが形成されている。

40

【0017】

この例では、基板としてN型シリコン基板1が用いられ、基板表面部に形成されたN型シリコン層18と、その下部のP⁻型化したシリコン層12との界面でのPN接合により、フォトダイオード(PD)が形成されている。以下、素子分離構造7bで囲まれた部分を受光領域14と呼び、そのうちPN接合が形成されている部分をセンサ開口部15と呼んで、両者を区別することにする。

【0018】

50

センサ開口部 15 に入射した光は、PN 接合部に達するとそこで正孔と電子に変換され、入射光の光量に応じた信号電荷（電子）が N 型シリコン層 18、更には N 型層が P⁻ 型化したシリコン層 12 に蓄積される。なお、最表面の P⁺ 型シリコン層 19 は表面からの電荷の漏洩を防止するためのものである。

【0019】

N 型シリコン層 18 等からなる上記の信号電荷蓄積領域は、素子分離構造 7b の周囲に形成された P⁺ 型チャンネルストッパ層 6、素子分離構造 7b の下部に形成された P 型表面側ウェル 11、基板の深い位置に形成された P 型ディープウェル 8、及び P 型表面側ウェル 11 と P 型ディープウェル 8 とを電氣的に接続するように素子分離構造 7b の下方に上下方向に長く形成された P 型プラグウェル 10 によって、側面と底面とから取り囲まれている。これによって、信号電荷蓄積領域は、基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩する事が無い。

【0020】

P 型表面側ウェル 11 及び P 型プラグウェル 10 と P⁻ 型化した層 12 との境界は、STI 末端直下よりも、受光領域 14 からみて 0.2 μ m 後退した位置に形成される。これは、信号電荷の蓄積容量を増加させるためである。

【0021】

図 2 (b) と図 9 (b) とを比べてみると、先願発明の好まし実施の形態によるフォトダイオードと従来例のフォトダイオードとの違いがよく理解できる。図 2 (b) では、STI 素子分離構造 7b に接して P⁺ 型チャンネルストッパ層 6 が形成されているため、図 9 (b) にみられる受光領域 114 にはみ出した P 型層 116 が不要になっている。

【0022】

STI 素子分離構造 7b においても、歪みの大きい境界領域が周囲に形成されるが、STI 構造では、凹部の形成後に凹部壁面からのイオン注入によって境界領域に P⁺ 型チャンネルストッパ層 6 を形成できるため、LOCOS 構造における P 型層 116 に比べて、P⁺ 型チャンネルストッパ層 6 を薄くすることができ、その厚さは 0.1 μ m 以下、例えば 30 nm ほどである。

【0023】

このように、素子分離構造 7b によって囲まれる受光領域 14 のほぼ全域をセンサ開口部 15 として用いることができるため、P 型表面側ウェルのはみ出し部分 116 によるサイズシュリンクがない分、従来よりもセンサ開口部 15 の面積が大きくなり、フォトダイオードの感度が向上する。

【0024】

また、STI 構造 7b は、素子分離のための絶縁材料の幅を LOCOS 構造 107 等と比べてかなり狭めることができるので、素子分離構造自体の面積も縮小できる。

【0025】

以上から、単位画素中に占めるセンサ開口部 15 の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

【0026】

また、素子分離構造 7b の末端直下に対し、受光領域 14 の外方位置にまで広がった P⁻ 型化したシリコン層 12 が、信号電荷蓄積領域の一部として用いられるため、大光量時に多量の信号電荷が発生しても飽和することなく信号電荷を蓄積できるので、大きなダイナミックレンジを実現することができる。

【0027】

次に、図 2 のイメージセンサのフォトダイオード部の製造方法について要点を説明する。

【0028】

まず、選択的なエッチングにより受光領域 14 の周囲に凹部を形成する。次に、凹部の内壁を熱酸化して、凹部内壁に薄い酸化シリコン膜を形成する。

【0029】

次に、凹部を酸化シリコンで埋める前に、凹部の内壁から基板垂直方向に対して 30 度傾

10

20

30

40

50

いた角度をもって加速電圧 100 keV 、注入量（面密度） $2 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンをイオン注入する。これにより、凹部の側面及び底面に接する基板内に、 P^+ 型チャネルストッパ層 6 を形成する。

【0030】

次に、凹部に酸化シリコンを埋め込んだ後、余分な酸化シリコン等を除去して、STI 素子分離構造 7b を形成する。

【0031】

次に、受光領域 14 を含む画素領域全体に、加速電圧 2 MeV による B^+ のイオン注入と加熱による熱拡散・アニール処理を行い、基板の深い位置に P 型ディープウェル 8 を形成する。更に、受光領域 14 と STI 素子分離構造 7b の一部をマスクしながら、画素領域に、加速電圧 1.5 MeV 及び 1.0 MeV による B^+ のイオン注入と加熱による熱拡散・アニール処理を行い、 P 型プラグウェル 10 を形成する。

【0032】

次に、上記と同様に、受光領域 14 と STI 素子分離構造 7b の一部をマスクしながら、加速電圧 600 keV 、 380 keV 及び 190 keV による B^+ のイオン注入と加熱による熱拡散・アニール処理を行い、 P 型表面側ウェル 11 を形成する。

【0033】

P 型表面側ウェル 11 の形成によって、 N 型シリコン層 18 等のフォトダイオードの信号電荷蓄積領域が基板中の他の N 型シリコン領域から分断されたことになる。また、通常、 P 型表面側ウェル 11 は、画素領域外の周辺回路部にも、周辺回路の半導体回路素子の P 型ウェルとして形成される。

【0034】

上記の一連の P 型ウェル形成工程時の熱拡散により、 N 型シリコン層 18 の下部に位置する N 型層が P^- 型化し、 P 型ウェルに囲まれた P^- 型化シリコン層 12 が形成される。

【0035】

続いて、センサ開口部 15 に加速電圧 300 keV による As^+ のイオン注入と加熱アニール処理を行い、 N 型シリコン層 18 を形成する。これにより、 P^- 型化したシリコン層 12 と N 型シリコン層 18 との界面に PN 接合（フォトダイオード）が形成される。

【0036】

最後に、受光領域 14 に加速電圧 50 keV による BF_2^+ のイオン注入と加熱アニール処理を行い、表面からの信号電荷の漏洩を防止する P^+ 型シリコン層 19 を形成する。

【0037】

【発明が解決しようとする課題】

図 1 (b) は、完成した CMOS イメージセンサの概念的な概略断面図である。図の上部には、上記のフォトダイオードの作製工程のうち、凹部 4 の内壁から基板中に BF_2^+ イオンを注入して P^+ チャネルストッパ層 6 を形成する工程の状態を示す概略断面図を付記した。

【0038】

同図に見られるように、この例では、凹部 4 内壁へのイオン注入を、フォトダイオード部を選別することなく、基板 1 上のすべての凹部 4 に対して行っている。このため、基板 1 のすべての凹部 4 の周囲の基板中に同一濃度の P^+ チャネルストッパ層 6 が形成される。

【0039】

しかしながら、通常、周辺回路部の STI 側壁には、 P^+ 層を形成しない。形成するとしてもその最適ドーパント濃度は、フォトダイオード部のチャネルストッパ層における P^+ 層の最適ドーパント濃度に比べてはるかに小さい。両者の最適条件は異なるので、上記のように画一的に P^+ チャネルストッパ層 6 を形成すると、周辺回路のトランジスタやその他の素子、又は画素内トランジスタの特性が変化し、センサの駆動に悪影響を及ぼす心配がある。

【0040】

このように、先願発明に基づいて形成される P^+ チャネルストッパ層 6 及びその形成方法

10

20

30

40

50

は、フォトダイオードの感度の向上に有効であるが、フォトダイオード周囲の半導体素子との関係で改善すべき余地があることが明らかとなった。

【0041】

本発明は、上記のような事情に鑑みてなされたものであって、その目的は、フォトダイオード間を素子分離する素子分離構造の形成が、フォトダイオードの感度の低下につながりにくく、且つ周囲の半導体回路素子に悪影響を及ぼさない構造をもつ光電変換装置及びその製造方法を提供することである。

【0042】

【課題を解決するための手段】

即ち、本発明は、第1導電型の半導体基体上の各受光領域に形成されたフォトダイオードと、前記半導体基体上の前記受光領域外の領域に形成された半導体回路素子とを有し、前記半導体基体上に形成され、前記フォトダイオード及び前記半導体回路素子の間を素子分離するために形成された凹部内に絶縁膜が埋め込まれてなる素子分離構造と、

前記フォトダイオードを素子分離する前記素子分離構造に接して、これを取り囲むように前記半導体基体中に形成された第2導電型のチャンネルストッパ層と、

前記受光領域の表面側に形成された、前記フォトダイオードを構成する第1導電型の半導体層と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように形成された第2導電型の第1のウェルと、

前記受光領域の底部に形成された第2導電型の第2のウェルと、

前記第1及び第2のウェルを接続する第2導電型の第3のウェルと

を有する光電変換装置であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置にて前記チャンネルストッパ層が終焉している

光電変換装置に係わる。

【0043】

また、本発明は、第1導電型の半導体基体上の各受光領域にフォトダイオードを形成し、前記半導体基体上の前記受光領域外の領域に半導体回路素子を形成する光電変換装置の製造方法であって、

前記半導体基体上に、前記フォトダイオード及び前記半導体回路素子の間を素子分離するための凹部を形成し、この凹部内に絶縁膜を埋め込んで素子分離構造を形成する工程と、

前記フォトダイオードを素子分離する前記素子分離構造に接してこれを取り囲むように、

前記半導体基体中に第2導電型のチャンネルストッパ層を形成する工程と、

前記受光領域の表面側に、前記フォトダイオードを構成する第1導電型の半導体層を形成する工程と、

前記受光領域側の前記素子分離構造の端部に対し、前記受光領域の外方位置にて前記受光領域を取り囲むように、第2導電型の第1のウェルを形成する工程と、

前記受光領域の底部に第2導電型の第2のウェルを形成する工程と

前記第1及び第2のウェルを接続する第2導電型の第3のウェルを形成する工程と

を有する光電変換装置の製造方法であって、

前記素子分離構造に接してこれを取り囲む前記第1のウェルにおいて、前記受光領域の周囲であって前記半導体回路素子との間である位置にて終焉するよう

に前記チャンネルストッパ層を形成する

光電変換装置の製造方法に係わる。

【0044】

本発明によれば、前記素子分離構造においても、歪みの大きい境界領域が周囲に形成されるが、前記凹部の形成後に前記凹部からの不純物ドーピングにより前記境界領域に前記第2導電型のチャンネルストッパ層を形成できるため、LOCOS構造と比較して、チャンネルストッパ層を薄くすることができ、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

【0045】

また、前記チャンネルストッパ層は、前記受光領域の周囲であって前記半導体回路素子との間である位置にて終焉しているため、前記チャンネルストッパ層の形成が、前記半導体回路素子に悪影響を与えることは無い。

10

【0046】

【発明の実施の形態】

本発明においては、前記素子分離構造が、少なくとも前記受光領域の周囲に設けられているのがよい。

【0047】

前記素子分離構造がSTI (Shallow Trench Isolation) 構造であるのがよい。前記STI構造は、素子分離のための絶縁材料の幅をLOCOS構造等と比べてかなり狭めることができるので、前記素子分離構造自体の面積も縮小できる。

【0048】

本発明においては、前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部の周囲において前記フォトダイオード部以外をマスクしながら、フォトダイオード部の前記凹部の壁面からイオン注入することによって、フォトダイオード部の前記チャンネルストッパ層を形成するのがよい。

20

【0049】

また、前記素子分離構造が、前記受光領域の前記フォトダイオードとこの周囲の非受光部の前記半導体回路素子との間、及び／又は、前記非受光部の半前記導体回路素子と周辺回路部の前記半導体回路素子との間にも設けられていてよい。

【0050】

その場合、前記非受光部の前記半導体回路素子及び／又は前記周辺回路部の前記半導体回路素子の形成領域にも前記第1のウェルが形成され、前記半導体回路素子の周囲の前記素子分離構造に接して、これらを取り囲む前記第1のウェル中にも、前記フォトダイオード部のチャンネルストッパ層よりも低濃度にチャンネルストッパ層が形成されているのがよい。

30

【0051】

前記半導体回路素子部のチャンネルストッパ層を前記フォトダイオード部のチャンネルストッパ層と別個に形成することで、それぞれに最適の不純物濃度をもつチャンネルストッパ層を形成することができる。

【0052】

本発明においては、前記凹部を形成後、前記凹部に前記絶縁膜の埋め込みを行う前に、フォトダイオード部と前記非受光部の半導体回路素子部及び／又は前記周辺回路部の半導体回路素子部とをマスクしながら前記凹部の壁面からイオン注入することによって、前記半導体回路素子部の前記チャンネルストッパ層を形成するのがよい。

40

【0053】

また、前記素子分離構造を形成するに際しては、前記凹部に気相成長法によって素子分離用の絶縁材料を埋め込むのがよい。

【0054】

前記第1、第2及び第3のウェルをイオン注入によって形成するのがよい。イオン注入法によれば、所定の位置に所望の濃度のドーパントを精度良くドーピングすることができる。このため、例えば熱拡散法では不可能な、前記半導体基体の深部にウェルを形成することができる。

【0055】

50

本発明に基づいて、固体撮像装置を製造するのがよい。

【0056】

以下、本発明の好ましい実施の形態を図面参照下に具体的に説明する。

【0057】

実施の形態1：CMOSイメージセンサ(1)

図2は、本発明の好ましい実施の形態であるCMOS(Complementary Metal Oxide Semiconductor)イメージセンサのフォトダイオード部の概略断面図(a)と概略平面図(b)である。基板の表面には、フォトダイオード間を素子分離するために、各フォトダイオードの受光領域14を電氣的に絶縁するSTI(Shallow Trench Isolation)構造の素子分離構造7bが形成されている。

10

【0058】

この例では、基板としてN型シリコン基板1が用いられ、基板上部のN型シリコン層18とその下部のP⁻型化したシリコン層12とがその界面でPN接合によるフォトダイオードを形成している。

【0059】

受光領域14のセンサ開口部15に入射した光は、PN接合部に達するとそこで正孔と電子に変換され、入射光の光量に応じた信号電荷(電子)がN型シリコン層18、更にはN型層がP⁻型化したシリコン層12に蓄積される。なお、最表面のP⁺型シリコン層19は表面からの電荷の漏洩を防止するものである。

20

【0060】

N型シリコン層18からなる信号電荷蓄積領域は、素子分離構造7bの周囲に形成されたP⁺型チャンネルストップ層6、素子分離構造7bの下部に形成されたP型表面側ウェル11、基板の深い位置に形成されたP型ディープウェル8、及びP型表面側ウェル11とP型ディープウェル8とを電氣的に接続するように素子分離構造7bの下方に上下方向に長く形成されたP型プラグウェル10によって、側面と底面とから取り囲まれている。これによって、N型信号電荷蓄積領域18は、基板内においても周辺素子から電氣的に分離され、信号電荷が漏洩する事が無い。

【0061】

P型表面側ウェル11及びP型プラグウェル10とP⁻型化した層12との境界は、STI末端直下よりも、受光領域14からみて0.2 μ m後退した位置に形成される。これは、信号電荷の蓄積容量を増加させるためである。

30

【0062】

上記のフォトダイオードの構造は、先願発明に基づくフォトダイオードと同一であるから、同一の効果を有するのは、言うまでもない。

【0063】

即ち、STI素子分離構造7bに接してP⁺型チャンネルストップ層6が形成されているため、図9(b)にみられる受光領域114にはみ出したP型層116が不要になっている。

【0064】

STI素子分離構造7bにおいても、歪みの大きい境界領域が周囲に形成されるが、STI構造では、凹部の形成後に凹部壁面からのイオン注入によって境界領域にP⁺型チャンネルストップ層6を形成できるため、LOCOS構造におけるP型層116に比べて、P⁺型チャンネルストップ層6を薄くすることができ、その厚さは0.1 μ m以下、例えば30nmほどである。

40

【0065】

このように、素子分離構造7bによって囲まれる受光領域14のほぼ全域をセンサ開口部15として用いることができるため、従来よりもセンサ開口部15の面積が大きくなり、フォトダイオードの感度が向上する。

【0066】

50

また、STI構造7bは、素子分離のための絶縁材料の幅をLOCOS構造107等と比べてかなり狭めることができるので、素子分離構造自体の面積も縮小できる。

【0067】

以上から、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

【0068】

また、素子分離構造7bの末端直下に対し、受光領域14の外方位置にまで広がったP⁻型化したシリコン層12が、信号電荷蓄積領域の一部として用いられるため、大光量時に多量の信号電荷が発生しても飽和することなく信号電荷を蓄積できるので、大きなダイナミックレンジを実現することができる。

10

【0069】

図3は、上記のフォトダイオードを基板上に2次元マトリックス状に配置したCMOSイメージセンサの構成を示す概略構成図である。この装置では、垂直方向スキャナ32と水平方向スキャナ34によって行と列がそれぞれ選択され、その交点にある画素31のフォトダイオードの信号電荷が読み出される。

【0070】

即ち、垂直方向スキャナ32からの制御信号によってある行の読み出し用トランジスタ33が選択されてON状態になり、同時に水平方向スキャナ34によって各列に読み出し信号が順次加えられると、その交点にある画素31からの出力が電流電圧変換回路35の入力部に導かれ、電流電圧変換回路35及び出力バッファ回路36によって電圧に変換されて出力される。

20

【0071】

垂直方向スキャナ32の1周期の間にすべての画素31が順次1回ずつ走査され、1周期の間に各画素31のフォトダイオードに蓄積されていた信号電荷に応じた出力が読み出されるとともに、読み出し後、フォトダイオードは電荷を消去され、初期状態にリセットされる。こうして、二次元マトリックス状に配置されたフォトダイオードによって光電変換された映像信号が時分割で出力される。

【0072】

図3の各画素31は基板上の画素領域37に形成され、垂直方向スキャナ32、読み出し用トランジスタ33、水平方向スキャナ34、電流電圧変換回路35、出力バッファ回路36等の周辺回路は画素領域37に隣接した周辺回路部38に形成される。

30

【0073】

図4は、画素領域37における配置を示す平面図である。図4(a)は、多数の画素31が2次元マトリックス状に配置されている状態を示す全体図であり、図4(b)は、1つの画素31内での配置を示す平面図である。図4では、P型シリコン層の上部に形成されたN型拡散層18、43等とゲート層42、45、48とコンタクト41、44、47、49等のみを示し、上層配線は図示を省略している。ゲート層は多結晶シリコンで形成され、その下部はP型層である。

【0074】

図4(b)に示したN型シリコン層18は、図2で説明したように、その下部のP⁻型化したシリコン層12との界面でPN接合によるフォトダイオードを形成し、入射光の光量に応じた信号電荷(電子)を発生させる。その信号電荷(電子)は、1周期の間、N型領域18を主とする信号電荷蓄積領域に蓄積される。

40

【0075】

図3の水平方向スキャナ34からの読み出し信号は、図4のコンタクト41を通じて転送ゲート42に加えられる。読み出し信号の作用で転送ゲート42下のチャネル層が導通状態になると、N型シリコン層18等の信号電荷蓄積領域に蓄積されていた信号電荷(電子)は、画素内の非受光部に形成されているN型バッファ層43に転送され、信号電荷量に応じた信号電圧を発生する。

【0076】

50

この信号電圧は、コンタクト 4 4 を通じて増幅用トランジスタのゲート 4 5 に印加され、増幅用トランジスタ 4 6 を流れる電流の変化として読み出される。増幅用トランジスタ 4 6 の出力電流は、図 3 の読み出し用トランジスタ 3 3 に導かれ、前述したように電圧に変換されて出力される。

【0077】

読み出しが終了すると、コンタクト 4 7 を通じてリセット信号がリセットゲート 4 8 に印加され、N 型パッファ層 4 3 に貯留されていた信号電荷はコンタクト 4 9 を通じて消去され、フォトダイオードは初期状態にリセットされる。

【0078】

上記のように、1 つの画素には、受光部に形成されたフォトダイオードと非受光部に形成された種々の半導体回路素子とが含まれていて、画素同士を素子分離するとともに、1 画素内で各素子間を素子分離することが必要である。

【0079】

図 4 の N 型シリコン層 1 8 の広がり がセンサ開口部 1 5 に相当する (図 2)。従って、フォトダイオード部の S T I 素子分離構造に接して形成される P⁺ チャネルストッパ層 6 の、受光領域側の端部 5 0 A は、N 型シリコン層 1 8 の外周部 (実線) にある。もう一方の端部 5 0 B は、破線で示す位置にあって、非受光部の増幅用トランジスタ 4 6 の形成領域との間で終焉している。

【0080】

図 1 (a) は、C M O S イメージセンサを、まず周辺回路部を切断し、次に画素の非受光部 (例えば、図 4 (b) の A - B) を切断し、次に画素の受光部 (例えば、図 4 (b) の B - C) を切断して得られた断面図をつなぎ合わせた概念的な概略断面図である。

【0081】

図 1 (a) の上部には、後述する C M O S イメージセンサの作製工程のうち、受光部の凹部の内壁から基板中に B F₂⁺ イオンを注入して P⁺ チャネルストッパ層 6 を形成する工程の状態を示す概略断面図を付記した。

【0082】

同図に見られるように、B F₂⁺ イオンを注入するに際して、非受光部の半導体回路素子部や周辺回路部の半導体回路素子部をマスク 3 0 で覆っているため、P⁺ チャネルストッパ層 6 は、フォトダイオード部の S T I 素子分離構造下にのみ形成され、画素領域非受光部の半導体回路素子部との S T I 素子分離構造の中間位置 5 0 B で終焉し、その半導体回路素子部までは伸びていない。従って、画素内トランジスタ 5 1 (増幅用トランジスタ 4 6 等) 又は周辺回路部 3 8 のトランジスタ 5 2 やその他の素子に悪影響を及ぼす心配はない。

【0083】

P 型ディープウェル 8 及び P 型プラグウェル 1 0 は、受光部にのみ形成することも可能であるが、通常は、受光部から非受光部まで画素領域全体に形成されるのが望ましい。これは、信号電荷の漏洩をより効果的に防止するためである。

【0084】

また、P 型表面側ウェル 1 1 は、受光部にのみ形成することも可能であるが、通常は、周辺回路部及び非受光部に形成される半導体回路素子の P 型ウェルと同時に形成される。これは、信号電荷の漏洩をより効果的に防止するとともに、効率的にイメージセンサを形成するためでもある。

【0085】

周辺回路部及び非受光部に形成されるトランジスタ 5 1、5 2 は、L D D (L i g h t l y D o p e d D r a i n - s o u r c e) 構造をもつものが望ましい。これにより、ドレイン電界が緩和され、耐電圧性が向上する。

【0086】

実施の形態 2 : C M O S イメージセンサ (1) の作製

図 5 ~ 7 は、本発明の好ましい実施の形態による光電変換装置の製造方法によって、実施

10

20

30

40

50

の形態 1 で示した CMOS イメージセンサ (1) を作製する工程を工程順に示す概略断面図である。

【0087】

工程 1

まず、図 5 (a) のように、CVD (Chemical Vapor Deposition) 法等により N 型半導体基板 1 の表面上に酸化シリコン膜 2 及び窒化シリコン膜 3 を積層して形成した後、STI 構造 7b の凹部 4 のパターンに対応した形状にこれらの膜 2 及び 3 をパターンニングする。

【0088】

工程 2

次に、図 5 (b) のように、酸化シリコン膜 2 及び窒化シリコン膜 3 をマスクとして、ドライエッチング (反応性イオンエッチング) 等によりシリコンをエッチング除去して、凹部 4 を形成する。

【0089】

工程 3

次に、図 5 (c) のように、凹部 4 の内壁を熱酸化して、凹部 4 内壁に薄い酸化シリコン膜 5 を形成する。

【0090】

工程 4

次に、凹部 4 を酸化シリコンで埋める前に、図 5 (d) のように周辺回路部及び非受光部をマスク 30 で覆いながら、基板垂直方向から 30 度傾いた角度をもって加速電圧 100 keV、注入量 (面密度) $2 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンを凹部 4 の内壁からイオン注入して、 P^+ 型チャネルストッパ層 6 を形成する。

【0091】

このとき、図 1 (a) でも説明したように、 P^+ 型チャネルストッパ層 6 は受光部にのみ形成され、周辺回路部 38 及び非受光部に形成される半導体回路素子に悪影響を与えることはない。

【0092】

工程 5

次に、図 6 (e) のように、CVD (Chemical Vapor Deposition) 法等により酸化シリコン 7a を堆積させ、トレンチ溝 4 に酸化シリコン 7a を埋め込む。

【0093】

工程 6

次に、図 6 (f) のように、CMP (Chemical Mechanical Polishing) 法等により表面を研磨して、余分な酸化シリコン、窒化シリコン膜 3、酸化シリコン膜 2 を順次除去して、STI 素子分離構造 7b を完成する。

【0094】

工程 7

次に、図 6 (g) のように、周辺回路部 38 をマスク 21 で覆いながら、受光領域 14 を含む画素領域 37 全体に、加速電圧 2 MeV、注入量 (面密度) $5 \times 10^{11} / \text{cm}^2$ で B^+ イオンをイオン注入し、続いて加熱による熱拡散とアニール処理を行い、基板の深い位置に P 型ディープウェル 8 を形成する。

【0095】

工程 8

次に、図 6 (h) のように、周辺回路部 38 及び受光領域 14 と STI 素子分離構造 7b の一部をマスク 9 で覆いながら、STI 構造 7b の下方に、加速電圧 1.5 MeV、注入量 (面密度) $8 \times 10^{11} / \text{cm}^2$ 、及び加速電圧 1.0 MeV、面密度 $3 \times 10^{12} / \text{cm}^2$ で B^+ イオンをイオン注入し、続いて加熱による熱拡散とアニール処理を行い、P 型プラグウェル 10 を形成する。

10

20

30

40

50

【0096】

P型ディープウェル8及びP型プラグウェル10は、受光部にのみ形成することも可能であるが、通常は、受光部から非受光部まで画素領域37全体に形成されるのが望ましい。これは、信号電荷の漏洩をより効果的に防止するためである。

【0097】

工程9

次に、図7(i)のように、受光領域14とSTI素子分離構造7bの一部をマスク32で覆いながら、加速電圧600keV、注入量(面密度) $3 \times 10^{12} / \text{cm}^2$ ；加速電圧380keV、面密度 $3 \times 10^{12} / \text{cm}^2$ ；及び加速電圧190keV、注入量(面密度) $6 \times 10^{12} / \text{cm}^2$ で B^+ イオンをイオン注入し、続いて加熱による熱拡散とアニール処理を行い、P型表面側ウェル11を形成する。

10

【0098】

P型表面側ウェル11によって受光領域14のN型シリコン層が他のN型シリコン領域から分断されたことになる。P型表面側ウェル11は、受光部にのみ形成することも可能であるが、通常は、周辺回路部38及び非受光部に形成される半導体回路素子のP型ウェルと同時に形成される。これは、信号電荷の漏洩をより効果的に防止するとともに、効率的にイメージセンサを形成するためでもある。

【0099】

また、ウェル形成時の熱拡散により、N型シリコン層が P^- 型化し、P型ウェルに囲まれた P^- 型したシリコン層12が形成される。

20

【0100】

工程10

次に、図7(j)のように、センサ開口部15以外の部分をマスクしながら、センサ開口部15に加速電圧300keV、注入量(面密度) $2 \times 10^{12} / \text{cm}^2$ で As^+ イオンをイオン注入し、続いて加熱アニール処理を行い、N型シリコン層18を形成する。これで、P型シリコン層12とN型シリコン層18との界面にPN接合(フォトダイオード)が形成される。従って、図2(b)に示したように、平面図上で P^+ 型チャネルストッパ層6で囲まれた領域が、センサ開口部15となる。

【0101】

工程11

次に、図4(k)のように、受光部14以外の部分をマスクしながら、加速電圧50keV、面密度 $1 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンをイオン注入し、続いて加熱アニール処理を行い、 P^+ 型シリコン層19を形成する。

30

【0102】

工程12

最後に、周辺回路部及び非受光部の所望の領域の基板表面に熱酸化によって酸化膜を形成した後、非受光部トランジスタ51や周辺回路部トランジスタ52などの半導体回路素子を公知の方法で形成する。

【0103】

実施の形態3：CMOSイメージセンサ(2)とその作製

40

図8(a)は、実施の形態1の変形例であるCMOSイメージセンサ(2)の概念的な概略断面図である。図の上部には、作製工程4aとして追加され、周辺回路部38及び非受光部の凹部内壁から基板中に BF_2^+ イオンを注入して、 P^+ チャネルストッパ層6aを形成する工程の状態を示す概略断面図を付記した。

【0104】

この変形例では、実施の形態2に示した作製工程を、工程4(周辺回路部38及び非受光部をマスク30で覆いながら、基板垂直方向から30度傾いた角度をもって加速電圧100keV、注入量(面密度) $2 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンを凹部4の内壁からイオン注入して、受光部にのみ P^+ 型チャネルストッパ層6を形成する工程)の後に、次の工程4aを追加して行うように変更する。

50

【0105】

工程 4 a

図 8 (a) 付図のように、受光部をマスク 30 a で覆いながら、基板垂直方向から 30 度傾いた角度をもって加速電圧 100 keV、注入量 (面密度) $1 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンを凹部 4 の内壁からイオン注入して、周辺回路部 38 及び非受光部に P^+ 型チャンネルストップパ層 6 a を形成する。

【0106】

これにより、周辺回路部 38 及び非受光部には、受光部の P^+ 型チャンネルストップパ層 6 より小さい濃度の P^+ 型チャンネルストップパ層 6 a が形成される。この濃度は、この領域に形成される半導体回路素子に悪影響を及ぼさない最適濃度とすることができる。

10

【0107】

P^+ 型チャンネルストップパ層 6 a が付加されることを除けば、実施の形態 1 と変わるところはないから、実施の形態 1 で前述した効果が実施の形態 3 においても得られるのは言うまでもない。

【0108】

実施の形態 4 : CMOS イメージセンサ (3) とその作製

図 8 (b) は、これも実施の形態 1 の変形例である CMOS イメージセンサ (3) の概念的な概略断面図である。図の上部には、作製工程 4 b として追加され、非受光部の凹部内壁から基板中に BF_2^+ イオンを注入して、 P^+ チャンネルストップパ層 6 b を形成する工程の状態を示す概略断面図を付記した。

20

【0109】

この変形例では、実施の形態 2 に示した作製工程を、工程 4 (周辺回路部 38 及び受光部をマスク 30 で覆いながら、基板垂直方向から 30 度傾いた角度をもって加速電圧 100 keV、注入量 (面密度) $2 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンを凹部 4 の内壁からイオン注入して、受光部にのみ P^+ 型チャンネルストップパ層 6 を形成する工程) の後に、次の工程 4 b を追加して行うように変更する。

【0110】

工程 4 b

図 8 (b) 付図のように、周辺回路部 38 及び受光部をマスク 30 b で覆いながら、基板垂直方向から 30 度傾いた角度をもって加速電圧 100 keV、注入量 (面密度) $1 \times 10^{13} / \text{cm}^2$ で BF_2^+ イオンを凹部 4 の内壁からイオン注入して、非受光部に P^+ 型チャンネルストップパ層 6 b を形成する。

30

【0111】

これにより、非受光部にのみ、受光部の P^+ 型チャンネルストップパ層 6 より小さい濃度の P^+ 型チャンネルストップパ層 6 b が形成される。この濃度は、この領域に形成される半導体回路素子に悪影響を及ぼさない最適濃度とすることができる。

【0112】

通常、非受光部の素子分離構造は P 型ウェルと接触しているから電荷の漏洩が起こりやすく、非受光部に P^+ 型チャンネルストップパ層 6 b を設ける効果は高い。また、イオン注入によってトランジスタのしきい値電圧 V_{TH} や電流特性 I_D を好ましい値に調節できる効果がある。

40

【0113】

P^+ 型チャンネルストップパ層 6 b が付加されることを除けば、実施の形態 1 と変わるところはないから、実施の形態 1 で前述した効果が実施の形態 4 においても得られるのは言うまでもない。

【0114】

以上、本発明を実施の形態に基づいて説明したが、本発明はこれらの例に何ら限定されるものではなく、発明の主旨を逸脱しない範囲で適宜変更可能であることは言うまでもない。

【0115】

50

例えば、上述のウェル形成のイオン注入は、S T Iによる素子分離構造の形成以前に行ってもよい。また、上述の各半導体領域の導電型を逆にしてもよい。また、周辺回路部38の素子分離は、S T I構造以外の方法で行ってもよい。

【0116】

【発明の作用効果】

本発明によれば、素子分離構造の周囲に歪みの大きい境界領域が形成されても、凹部の形成後に凹部からの不純物ドーピングにより境界領域に第2導電型のチャンネルストッパ層を形成できるため、L O C O S構造と比較して、チャンネルストッパ層を薄くすることができ、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

10

【0117】

また、特にS T I構造は、素子分離のための絶縁材の幅をL O C O S構造等と比べてかなり狭めることができるので、素子分離構造自体の面積も縮小できる。

【0118】

以上から、単位画素中に占めるセンサ開口部の面積割合であるセンサ開口率を増加させ、フォトダイオードの感度を向上させることができる。

【0119】

また、チャンネルストッパ層は、受光領域の周囲であって半導体回路素子との間である位置にて終焉しているため、チャンネルストッパ層の形成が、半導体回路素子に悪影響を与えることは無い。

20

【図面の簡単な説明】

【図1】本発明及び先願発明の好ましい実施の形態であるC M O Sイメージセンサの概略断面図である。

【図2】先願発明並びに本発明の好ましい実施の形態であるC M O Sイメージセンサのフォトダイオード部の概略断面図（a）と概略平面図（b）である。

【図3】本発明の実施の形態に基づくC M O Sイメージセンサの構成図である。

【図4】同、画素領域の配置を示す平面図である。

【図5】同、C M O Sイメージセンサの作製工程を示す概略断面図である。

【図6】同、C M O Sイメージセンサの作製工程を示す概略断面図である。

【図7】同、C M O Sイメージセンサの作製工程を示す概略断面図である。

30

【図8】本発明及の他の好ましい実施の形態であるC M O Sイメージセンサの概略断面図である。

【図9】従来のイメージセンサのフォトダイオード部の概略断面図（a）と概略平面図（b）である。

【符号の説明】

1…N型半導体基板、2…酸化シリコン膜、3…窒化シリコン膜、4…凹部、
5…酸化シリコン膜、6…P⁺型チャンネルストッパ層、7a…酸化シリコン、
7b…素子分離構造（S T I構造）、8…P型ディープウェル、9…マスク、
10…P型プラグウェル、11…P型表面側ウェル、
12…P⁻型化したシリコン層、13…マスク、14…受光領域、
15…センサ開口部、18…N型シリコン層、19…P⁺型シリコン層、
20、21、30、30a、30b…マスク、31…画素、
32…垂直方向スキヤナ、33…読み出し用トランジスタ、
34…水平方向スキヤナ、35…電流電圧変換回路、36…出力バッファ回路、
37…画素領域、38…周辺回路部、41…コンタクト、42…転送ゲート、
43…N型バッファ層、44…コンタクト、
45…増幅用トランジスタのゲート、46…増幅用トランジスタ、
47…コンタクト、48…リセットゲート、49…コンタクト、
50A…P⁺型チャンネルストッパ層の受光領域側端部、
50B…P⁺型チャンネルストッパ層のもう一方の端部、

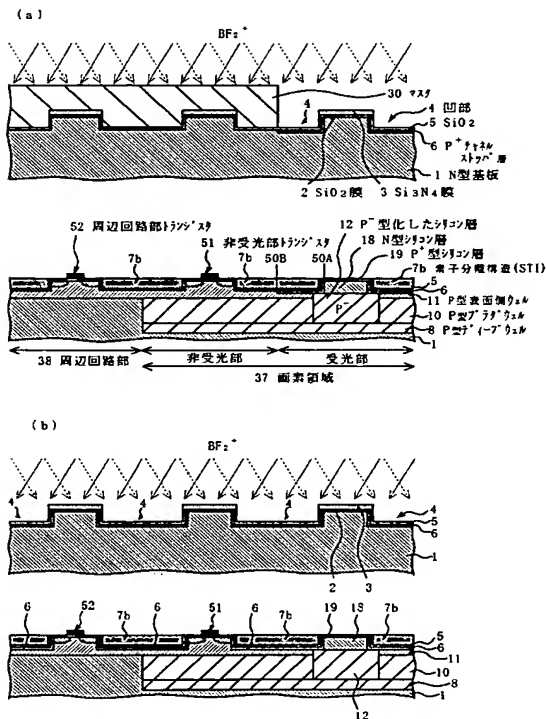
40

50

51…非受光部トランジスタ、52…周辺回路部トランジスタ、
 101…N型半導体基板、102…酸化シリコン膜、
 107…素子分離構造（LOCOS構造）、108…P型ディープウェル、
 110…P型プラグウェル、111…P型表面側ウェル、
 112…P⁻型化したシリコン層、114…受光領域、115…センサ開口部、
 116…P型表面側ウェルのはみ出し部分、118…N型シリコン層、
 119…P⁺型シリコン層、120…歪みの大きい境界領域

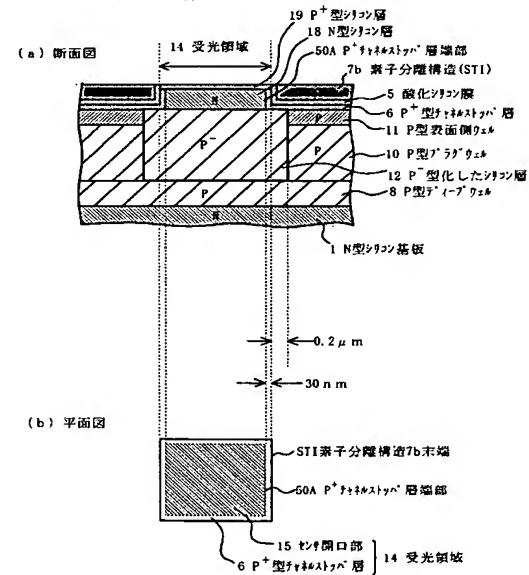
【図1】

CMOSイメージセンサの例



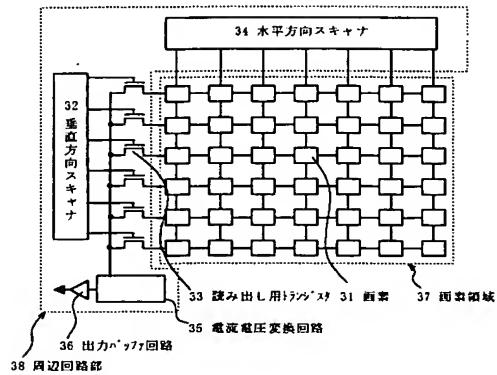
【図2】

イメージセンサのPD部



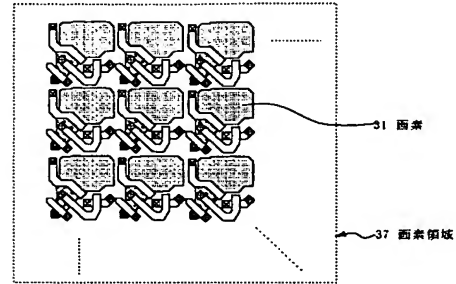
【図 3】

CMOSイメージセンサの構成

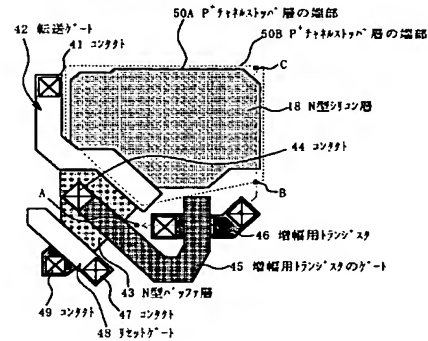


【図 4】

(a) 画素領域全体図

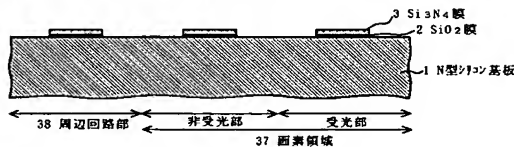


(b) 1つの画素の平面図

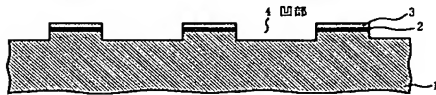


【図 5】

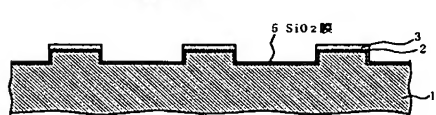
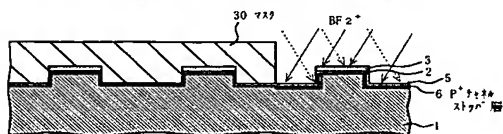
イメージセンサの作製工程

(a) 工程1: $\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜を形成後、パターニング。

(b) 工程2: シリコンをエッチングして凹部を形成。

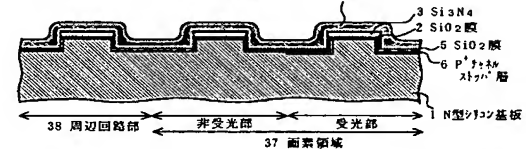
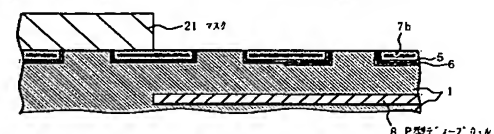
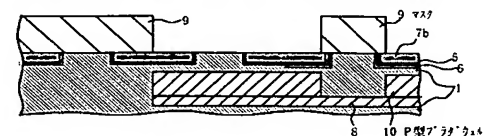


(c) 工程3: 凹部内壁を熱酸化。

(d) 工程4: BF_2^+ 注入により P^+ 型チャネルストップ層を形成。

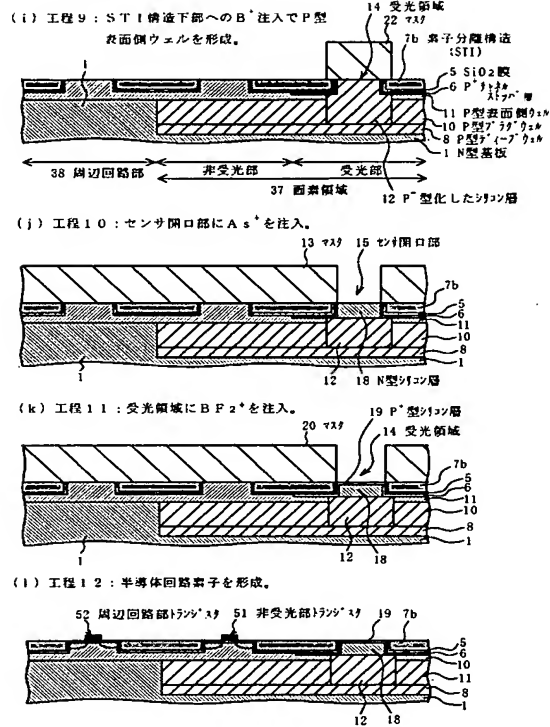
【図 6】

イメージセンサの作製工程

(e) 工程5: CVDで凹部に SiO_2 を堆積込む。(f) 工程6: CMPで余分な SiO_2 、 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜除去。(g) 工程7: 凹部への B^+ 注入で P^+ 型ディープウェルを形成。(h) 工程8: STI構造下方への B^+ 注入で P^+ 型プラグウェルを形成。

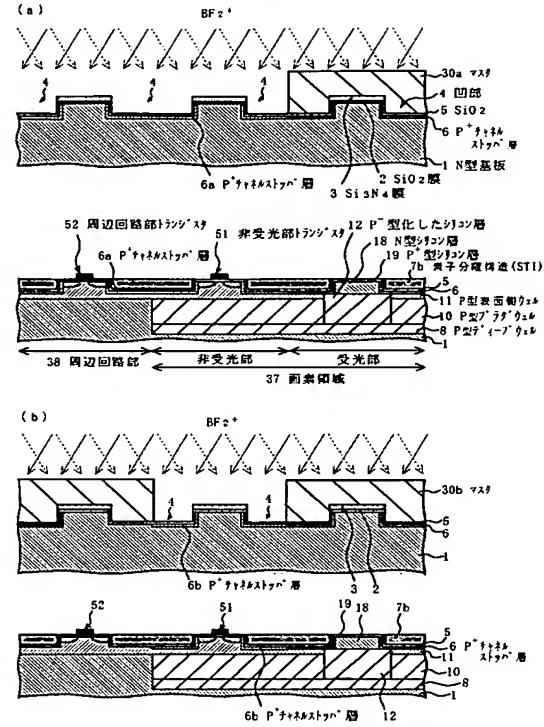
【図 7】

イメージセンサの作製工程



【図 8】

CMOS イメージセンサの他の例



【図 9】

従来のイメージセンサの PD 部

